

End of Result Set



Generate Collection

L7: Entry 9 of 9

File: DWPI

Aug 30, 1996

DERWENT-ACC-NO: 1996-447395

DERWENT-WEEK: 199645

COPYRIGHT 2003 DERWENT INFORMATION LTD

TITLE: Memory card appts. using SRAM and DRAM - has data buffer switch that alternately switches temporary storage of data in data buffer, which is read by host central processing unit, through control operation of access controller

PATENT-ASSIGNEE: HITACHI LTD (HITA), HITACHI MAXELL KK (HITM)

PRIORITY-DATA: 1995JP-0024943 (February 14, 1995)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	PAGES	MAIN-IPC
JP 08221312 A	August 30, 1996		006	G06F012/00

APPLICATION-DATA:

PUB-NO	APPL-DATE	APPL-NO	DESCRIPTOR
JP 08221312A	February 14, 1995	1995JP-0024943	

INT-CL (IPC): G06 F 12/00; G11 C 16/06

ABSTRACTED-PUB-NO: JP 08221312A

BASIC-ABSTRACT:

The appts. (1) has several flash-type EEPROMs (2) that are controlled by a higher-order controller. A host CPU reads and writes a data through the control process of the higher-order controller. An address and a command read by the CPU, are decoded. An access controller manages the reading and writing of the decoded data in the EEPROM.

The EEPROM can be simultaneously written using the access controller. An address converter (6) transforms an address. A data buffer (7) stores temporarily the data read by the host CPU. A data buffer switch (12) alternately switches the data buffer through the control operation of the access controller.

ADVANTAGE - Provides small data buffer capacity. Reduces circuit scale. Avoids reduction in memory speed even when capacity of data buffer is inadequate. Prevents standby memory operation except in waiting for erasure, by performing simultaneous writing and reading of data to flash-type EEPROM from host CPU.

ABSTRACTED-PUB-NO: JP 08221312A

EQUIVALENT-ABSTRACTS:

CHOSEN-DRAWING: Dwg.1/5

DERWENT-CLASS: T01

EPI-CODES: T01-H01B3;

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-221312

(43)公開日 平成8年(1996)8月30日

(51)IntCl ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 12/00	5 6 0		G 0 6 F 12/00	5 6 0 B
G 1 1 C 16/06			G 1 1 C 17/00	5 1 0 C

審査請求 未請求 請求項の数 1 O L (全 6 頁)

(21)出願番号 特願平7-24943

(22)出願日 平成7年(1995)2月14日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71)出願人 000005810

日立マクセル株式会社

大阪府茨木市丑寅1丁目1番88号

(72)発明者 荒澤 伸幸

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(72)発明者 秋山 靖浩

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(74)代理人 弁理士 小川 勝男

最終頁に続く

(54)【発明の名称】 メモリカード装置

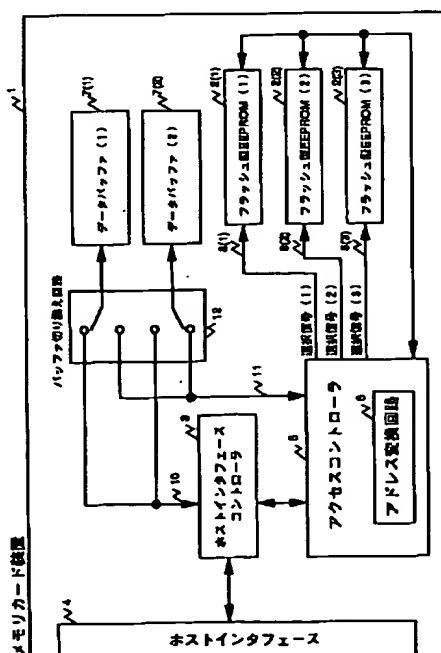
(57)【要約】

【目的】データバッファの容量が不十分でも書き込み速度が低下しないメモリカード装置を提供する。

【構成】データバッファ7を持つメモリカード装置1において、データバッファ7を複数にし、データバッファ7をアクセスコントローラ5の制御により切り替えるバッファ切り替え回路12を設ける。

【効果】複数のデータバッファ7がバッファ切り替え手段12によって交互に切り替わり、ホストCPUからのデータの読み込みとデータバッファ7からフラッシュ型EEPROM 2への書き込みを同時に行うため、消去待ち以外の待機時間が発生しない。

図 1



【特許請求の範囲】

【請求項1】上位制御装置の制御下にある、複数のフラッシュ型EEPROMと、上記上位制御装置の制御によりデータを読み書きするホスト通信手段と、上記ホスト通信手段を通して読み込んだアドレスやコマンドを解説して、上記フラッシュ型EEPROMの読み書きを制御するフラッシュ型EEPROM制御手段と、上記フラッシュ型EEPROM制御手段の中にあり上記フラッシュ型EEPROMを同時に読み書きするためにアドレスの変換を行うアドレス変換手段と、上記ホスト通信手段を通して読み込んだデータを一時的に記憶する一時記憶手段からなるメモリカード装置において、上記一時記憶手段を複数にし、上記一時記憶手段を上記フラッシュ型EEPROM制御手段の制御により切り替える切り替え手段を設けたことを特徴とするメモリカード装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はメモリ装置に係り、特にフラッシュ型EEPROMへのデータの書き込み制御に関する。

【0002】

【従来の技術】フラッシュ型EEPROMを用いたメモリカード装置は、データ保持用の電源が不要であるため、SRAMやDRAMを用いたメモリカード装置に替わる新しいメモリカード装置として使われており、たとえば図2に示す構成を有している。

【0003】ここで、メモリカード装置1内のフラッシュ型EEPROM2は、書き込みや消去を行う際に扱うデータ量に最低単位が定まっており、その単位分のデータが一括して扱われる。以下の説明では消去単位が書き込み単位の3倍の大きさを持っていると想定しているが、その限りではない。

【0004】書き込みデータを、ホストインタフェース4を介してメモリカード装置1内のフラッシュ型EEPROM2(1)ないし2(3)に書き込む場合、ホストインタフェースコントローラ3が、ホストインタフェース4を介して転送されてくるアドレス情報とデータ転送量をアクセスコントローラ5に書き込む。ホストインタフェースコントローラ3は、続いてホストインタフェース4を介して送られてくる書き込みデータをアクセスコントローラ5に転送する。アクセスコントローラ5はホストインタフェースコントローラ3から送られてくる書き込みデータをデータバッファ7に記憶する。ここで、データバッファ7は、それぞれのフラッシュ型EEPROM2で一回だけ消去動作を行ったときに確保できる容量以上の大きさを持っている。

【0005】データバッファ7に記憶された書き込みデータを高速にフラッシュ型EEPROM2(1)ないし2

(3)に書き込むために、従来は特開平6-119128号公報に記載されているように、アクセスコントローラ5内

のアドレス変換回路6を用いて選択線8(1)ないし8(3)を制御し、複数のフラッシュ型EEPROM2(1)ないし2(3)が同時にアクセスできるようにして、書き込み速度の向上を図っていた。

【0006】図3にデータバッファ7からフラッシュ型EEPROM2(1)ないし2(3)にデータを書き込む場合の流れを示す。図3に示すように、たとえばフラッシュ型EEPROM2(1)のデータを書き込んでいる間にフラッシュ型EEPROM2(2)にデータ転送を行うことができるため、それぞれのフラッシュ型EEPROM2(1)ないし2(3)にデータを転送して書き込みを行う場合より高速に書き込みを行うことができる。

【0007】

【発明が解決しようとする課題】前述のような従来技術を用いることにより、高速に書き込みを行うことができるが、データバッファ7の容量をそれぞれのフラッシュ型EEPROM2で一回だけ消去動作を行ったときに確保できる容量以上持つことができなかつた場合、図4に示すように待機時間が発生して書き込み速度が低下してしまう(T1<T2)。しかし、メモリカード装置のような小型で薄型の装置では、必要なデータバッファ容量を確保できない場合がある。

【0008】本発明の目的は、データバッファの容量を十分に確保できない場合でも書き込み速度が低下しないメモリカード装置を提供することにある。

【0009】

【課題を解決するための手段】上記の目的を達成するために、本発明では、上位制御装置の制御下にある、複数のフラッシュ型EEPROMと、上記上位制御装置の制御によりデータを読み書きするホスト通信手段と、上記ホスト通信手段を通して読み込んだアドレスやコマンドを解説して、上記フラッシュ型EEPROMの読み書きを制御するフラッシュ型EEPROM制御手段と、上記フラッシュ型EEPROM制御手段の中にあり上記フラッシュ型EEPROMを同時に読み書きするためにアドレスの変換を行うアドレス変換手段と、上記ホスト通信手段を通して読み込んだデータを一時的に記憶する一時記憶手段からなるメモリカード装置において、上記一時記憶手段を複数にし、上記一時記憶手段を上記フラッシュ型EEPROM制御手段の制御により切り替える切り替え手段を設けるようにした。

【0010】

【作用】本発明によれば、一時記憶手段の容量を、それぞれのフラッシュ型EEPROMで一回だけ消去動作を行ったときに確保できる容量以上持つことができなかつた場合でも、複数の一時記憶手段が、切り替え手段によって交互に切り替わり上位制御装置からのデータの読み込みと一時記憶手段からフラッシュ型EEPROMへの書き込みを同時に行うため消去待ち以外の待機時間が発生しない。

【0011】

【実施例】図1は本発明の第1の実施例を示すブロック

3

図、図5は第1の実施例の動作の説明図である。

【0012】図1において、1は本発明のメモリカード装置、2はメモリカード装置1内にあるフラッシュ型EEPROM、3はホストインタフェース4を介してホストCPUなどから送られるコマンドやアドレスをアクセスコントローラ5にセットしたり、ホストCPUなどとデータを読み書きするホストインタフェースコントローラ、5はホストインタフェースコントローラを介して読み込んだアドレスやコマンドを解釈して、フラッシュ型EEPROM2の読み書きを制御するアクセスコントローラ、6はフラッシュ型EEPROMを同時に読み書きするためにアドレスの変換を行うアドレス変換回路、7はホストインタフェースコントローラ3を通して読み込んだデータを一時的に記憶するデータバッファ、8はフラッシュ型EEPROM2を制御する選択信号、12は二つのデータバッファ7(1)と7(2)をアクセスコントローラ5の指示によって切り替えるバッファ切り替え回路である。

【0013】ホストCPUからフラッシュ型EEPROM2にデータを書き込む場合、ホストCPUはホストインタフェース4を通してホストインタフェースコントローラ3に書き込みアドレスと、書き込むデータ量、そして書き込みコマンドをセットする。ホストインタフェースコントローラ3は書き込みアドレスと、書き込むデータ量、そして書き込みコマンドをアクセスコントローラ5にセットする。

【0014】アクセスコントローラ5はセットされたコマンドを解析し、書き込み動作を行う前に書き込むべきアドレスをそれぞれのフラッシュ型EEPROM2(1)ないし2(3)について一回だけ消去単位分消去する。この間に、データバッファ7(1)とデータバッファ7(2)にはホストインタフェースコントローラ3を通して書き込みデータがセットされる。消去終了を待ってフラッシュ型EEPROM2にデータの書き込みを行うため書き込みアドレスをアドレス変換回路6にセットして選択信号8を出力する。

【0015】次にアクセスコントローラ5はバッファ切り替え回路12を制御してデータバス11がデータバッファ7(1)に、データバス10がデータバッファ7(2)につながるようにする。そしてアクセスコントローラ5の制御により、データバッファ7(1)からフラッシュ型EEPROM2(1)にデータ転送が行われ、転送終了後書き込み命令が発行される。これによりフラッシュ型EEPROM2(1)は書き込み動作を開始する。

【0016】次にアクセスコントローラ5はバッファ切

4

り替え回路12を制御してデータバス10がデータバッファ7(1)に、データバス11がデータバッファ7(2)につながるようにする。そしてアクセスコントローラ5の制御により、データバッファ7(2)からフラッシュ型EEPROM2(2)にデータ転送が行われ、転送終了後書き込み命令が発行される。これによりフラッシュ型EEPROM2(2)は書き込み動作を開始する。この時、同時にホストインタフェースコントローラ3はホストインタフェース4を通して次の書き込みデータをデータバッファ7(1)に書き込む。これらの動作を繰り返すことにより、図5に示すように消去したブロックすべてに待機時間を発生させることなく書き込みデータを書き込むことができる。

【0017】本実施例では、メモリカード装置において、データバッファ7を複数にし、データバッファ7をアクセスコントローラ5の制御により切り替えるバッファ切り替え回路12を設けたところに特徴がある。

【0018】

【発明の効果】本発明では、データバッファ7の容量をそれぞれのフラッシュ型EEPROM2で一回だけ消去動作を行ったときに確保できる書き込み容量以上持つことができなかつた場合でも、複数のデータバッファ7がバッファ切り替え手段によって交互に切り替わりホストCPUからのデータの読み込みとデータバッファ7からフラッシュ型EEPROM2への書き込みを同時に行うため消去待ち以外の待機時間が発生しない。

【0019】このように、データバッファの容量を十分に確保できない場合でも書き込み速度が低下しない。

【0020】さらに、データバッファ7の容量が小さく、回路規模を削減できる。

【図面の簡単な説明】

【図1】本発明の一実施例のメモリカード装置の概略構成を示すブロック図。

【図2】従来技術のメモリカード装置の概略構成を示すブロック図。

【図3】従来例の動作の説明図。

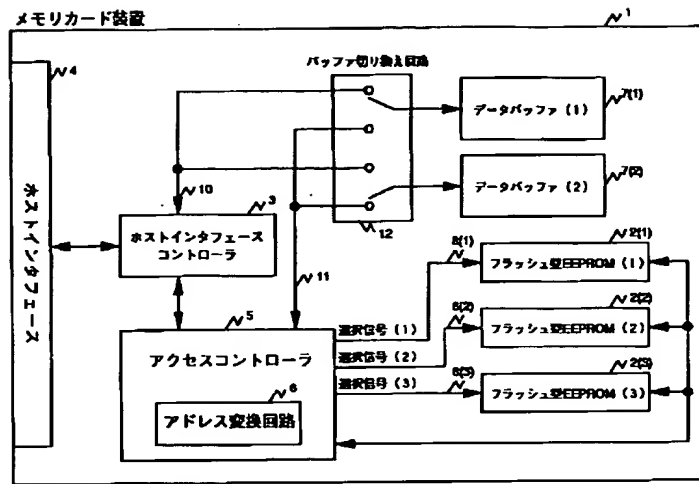
【図4】従来例の問題点の説明図。

【図5】実施例の動作の説明図。

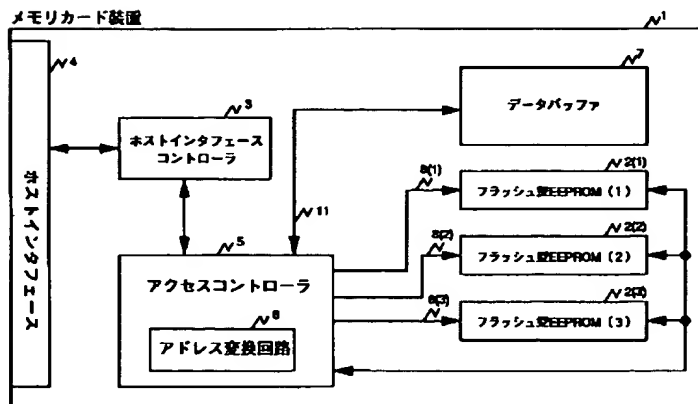
【符号の説明】

1…メモリカード装置、2…フラッシュ型EEPROM、3…ホストインタフェースコントローラ、5…アクセスコントローラ、6…アドレス変換回路、7…データバッファ、8…選択信号、12…バッファ切り替え回路。

【図1】



【図2】



【図5】

图 5

